

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2002251174 A

(43) Date of publication of application: 06.09.02

(51) Int. Cl

G09G 3/36

G02F 1/133

G09G 3/20

H03K 17/16

H03K 17/687

H03K 19/0185

(21) Application number: 2001355854

(71) Applicant: HITACHI LTD HITACHI DEVICE
ENG CO LTD

(22) Date of filing: 21.11.01

(72) Inventor: MIYAZAWA TOSHIO
SATO HIDEO
SATO TOMOHIKO
MAKI MASAHIRO

(30) Priority: 22.11.00 JP 2000355598

(54) DISPLAY DEVICE

output terminal.

(57) Abstract:

COPYRIGHT: (C)2002,JPO

PROBLEM TO BE SOLVED: To obtain a voltage level converter in which through current is sufficiently suppressed.

SOLUTION: In a voltage level converter which is constituted of MISFETs which use poly crystalline silicon as semiconductor layers on an insulated substrate, the input terminal of input pulses is connected respectively to gates of an NMISFT1 and a PMISFT1 and a first terminal and the gate of a PMISFT3 via a capacitor 1 and the input terminal of the input pulses is connected respectively to gates of an NMISFT2 and a PMISFT2, a second terminal and the gate of an NMISFT3 via a capacitor 2 and, moreover, second terminals of the NMISFT1 and the PMISFT1 and the first terminal of the PMISFT3 are connected respective to a high voltage supply side and first terminals of the NMISFT2 and the PMISFT2 and the second terminal of the NMISFT3 are connected respectively to a low voltage supply side and the connection point of the second terminal of the PMISFT3 and the first terminal of the NMISFT3 are made to be an

図 1 (a)

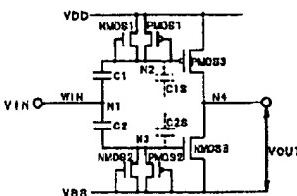
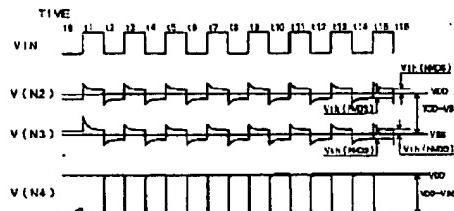


図 1 (b)



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-251174
(P2002-251174A)

(43)公開日 平成14年9月6日(2002.9.6)

(51)Int.Cl. ⁷	識別記号	F I	テ-マコト [*] (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 2 0	G 0 2 F 1/133	5 2 0 5 C 0 0 6
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 A 5 C 0 8 0
	6 2 1		6 2 1 L 5 J 0 5 5
H 0 3 K 17/16		H 0 3 K 17/16	L 5 J 0 5 6

審査請求 未請求 請求項の数14 OL (全22頁) 最終頁に続く

(21)出願番号 特願2001-355854(P2001-355854)

(22)出願日 平成13年11月21日(2001.11.21)

(31)優先権主張番号 特願2000-355598(P2000-355598)

(32)優先日 平成12年11月22日(2000.11.22)

(33)優先権主張国 日本(JP)

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233088
日立デバイスエンジニアリング株式会社
千葉県茂原市早野3681番地

(72)発明者 宮沢 敏夫
千葉県茂原市早野3300番地 株式会社日立
製作所ディスプレイグループ内

(74)代理人 100083552
弁理士 秋田 収喜

最終頁に続く

(54)【発明の名称】 表示装置

(57)【要約】 (修正有)

【課題】 貫通電流が充分に抑制された電圧レベル変換器を得る。

【解決手段】 絶縁基板面に多結晶シリコンを半導体層とするMIS TFTから構成される電圧レベル変換器は、入力パルスの入力端子が容量1を介してそれぞれNMISTFT1とPMISTFT1のゲート、第1の端子、及びPMISTFT3のゲートと接続され、前記入力パルスの入力端子が容量2を介してそれぞれNMISTFT2とPMISTFT2のゲート、第2の端子、及びNMISTFT3のゲートに接続され、NMISTFT1、PMISTFT1の第2の端子とPMISTFT3の第1の端子はそれぞれ高電圧供給側に接続され、NMISTFT2、PMISTFT2の第1の端子とNMISTFT3の第2の端子はそれぞれ低電圧供給側に接続され、PMISTFT3の第2の端子とNMISTFT3の第1の端子の接続点を出力端子とする。

図1(a)

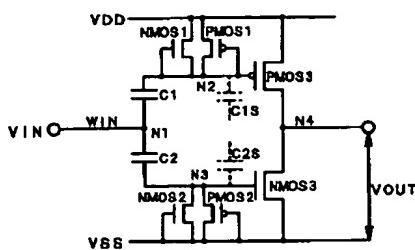
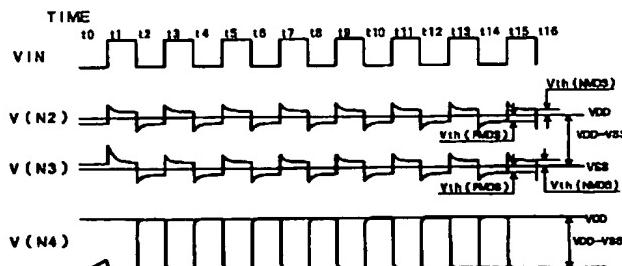


図1(b)



【特許請求の範囲】

【請求項1】 多結晶シリコンを半導体層とするMIS TFTを有するレベル変換回路が絶縁基板上に形成された表示装置であつて、
 入力パルスの入力端子が第1の容量を介してそれぞれゲート端子および第1の端子に接続される第1のNMISTFTと第1のPMISTFTと、
 前記入力パルスの入力端子が第2の容量を介してそれぞれ第2の端子に接続される第2のNMISTFTと第2のPMISTFTと、
 前記第1のNMISTFTと第1のPMISTFTのゲート端子および第1の端子がゲート端子に接続される第3のPMISTFTと、
 前記第2のNMISTFTと第2のPMISTFTの第2の端子がゲート端子に接続される第3のNMISTFTと、
 前記第3のPMISTFTの第1の端子は前記第1のNMISTFTの第2の端子と第1のPMISTFTの第2の端子と接続された高電圧電源供給配線側に接続され、前記第3のNMISTFTの第2の端子は前記第2のNMISTFTのゲート端子と第1の端子および前記第2のPMISTFTのゲート端子と第1の端子と接続された低電圧電源供給配線側に接続され、
 前記第3のPMISTFTの第2の端子と第3のNMISTFTの第1の端子の接続点を出力端子とすることを特徴とする表示装置。

【請求項2】 第1の端子が高電圧電源供給配線側に接続された第nのPMISTFTと、第2の端子が低電圧電源供給配線側に接続された第nのNMISTFTとを備え、

第nのPMISTFTと第nのNMISTFTのゲート端子が前記第3のPMISTFTの第2の端子と第3のNMISTFTの第1の端子の接続点に接続されているとともに、

第nのPMISTFTの第2の端子と第nのNMISTFTの第1の端子の接続点を出力端子とすることを特徴とする請求項1に記載の表示装置。

【請求項3】 第nのPMISTFTと第nのNMISTFTはそれぞれ多段に接続された複数のものからなり、

その最終段のPMISTFTの第2の端子とNMISTFTの第1の端子の接続点を出力端子とすることを特徴とする請求項2に記載の表示装置。

【請求項4】 絶縁基板面にレベル変換回路を含む駆動回路を備え、前記レベル変換回路は、多結晶シリコンを半導体層とするMISTFTから構成され、

入力パルスの入力端子が第1の容量を介してそれぞれゲート端子および第1の端子に接続される第1のNMISTFTと第1のPMISTFTと、

前記入力パルスの入力端子が第2の容量を介してそれぞ

れ第2の端子に接続される第2のNMISTFTと第2のPMISTFTと、

前記第1のNMISTFTと第1のPMISTFTのゲート端子および第1の端子がゲート端子に接続される第3のPMISTFTと、
 前記第2のNMISTFTと第2のPMISTFTの第2の端子がゲート端子に接続される第3のNMISTFTと、

前記第3のPMISTFTの第1の端子は前記第1のNMISTFTの第2の端子と第1のPMISTFTの第2の端子と接続された高電圧電源供給配線に接続され、前記第3のNMISTFTの第2の端子は前記第2のNMISTFTのゲート端子と第1の端子および前記第2のPMISTFTのゲート端子と第1の端子と接続された低電圧電源供給配線に接続され、

前記第3のPMISTFTの第2の端子と第3のNMISTFTの第1の端子の接続点を出力端子とする基本回路が多段に接続されていることを特徴とする表示装置。

【請求項5】 前段の基本回路の出力端子と後段の基本回路の入力端子との間に、各ゲート端子を入力端子とし互いの一方の端子の接続点を出力端子とするとともに、他方の端子が高電圧電源供給配線側に接続されているPMISTFTと他方の端子が低電圧電源供給配線側に接続されているNMISTFTからなる回路が少なくとも1段接続されていることを特徴とする請求項4に記載の表示装置。

【請求項6】 基本回路がn段に接続され、そのn段目の基本回路の出力端子に、各ゲート端子を入力端子とし互いの一方の端子の接続点を出力端子とするとともに、他方の端子が高電圧電源供給配線側に接続されているPMISTFTと他方の端子が低電圧電源供給配線側に接続されているNMISTFTからなる回路が少なくとも1段接続されていることを特徴とする請求項4、5のうちいづれかに記載の表示装置。

【請求項7】 第1のNMISTFT、第1のPMISTFT、第2のNMISTFT、第2のPMISTFTのいづれか一つがダイオードあるいはダイオードと抵抗の接続体によって置き換えられていることを特徴とする請求項1あるいは請求項4に記載の表示装置。

【請求項8】 絶縁基板面にレベル変換回路を含む駆動回路を備え、前記レベル変換回路は、多結晶シリコンを半導体層とする複数の同導電型のMISTFTから構成され、

入力パルスの入力端子が第1のMISTFTの第1の端子および第2のMISTFTの第1の端子に接続され、第1のMISTFTおよび第2のMISTFTの各ゲート端子は一定電源の供給側に接続され、

第1のMISTFTの第2の端子は第3のMISTFTのゲート端子および容量の第1の端子に接続され、

第3のMISTFTの第1の端子は高電圧電源供給側に

接続され、第2の端子は第2のMISFTの第2の端子に接続され、

第2のMISFTと第3のMISFTとの接続点は前記容量の第2の端子が接続されて出力端子となっていることを特徴とする表示装置。

【請求項9】 絶縁基板面にレベル変換回路を含む駆動回路を備え、前記レベル変換回路は、多結晶シリコンを半導体層とする複数の同導電型のMISFTから構成され、

入力パルスの入力端子が第1のMISFTの第1の端子および第2のMISFTの第1の端子に接続され、第1のMISFTのゲート端子は一定電源の供給側に接続され、第2のMISFTのゲート端子は前記入力パルスと逆相をなすパルスが入力され、

第1のMISFTの第2の端子は第3のMISFTのゲート端子および容量の第1の端子に接続され、

第3のMISFTの第1の端子は高電圧電源供給側に接続され、第2の端子は第2のMISFTの第2の端子に接続され、

第2のMISFTと第3のMISFTとの接続点は前記容量の第2の端子が接続されて出力端子となっていることを特徴とする表示装置。

【請求項10】 第1のMISFTのゲート端子は抵抗を介して一定電源の供給側に接続されているとともに、入力パルスの入力端子と第1のMISFTのゲート端子は容量を介して接続されていることを特徴とする請求項8、9のうちいずれかに記載の表示装置。

【請求項11】 絶縁基板面にレベル変換回路を含む駆動回路を備え、前記レベル変換回路は、多結晶シリコンを半導体層とする複数の同導電型のMISFTから構成され、

入力パルスの入力端子が第1のMISFTの第1の端子および第2のMISFTの第1の端子に接続され、第1のMISFTのゲート端子は一定電源の供給側に接続され、第2のMISFTのゲート端子は前記入力パルスと逆相をなすパルスが入力され、

第1のMISFTの第2の端子は第3のMISFTのゲート端子および容量の第1の端子に接続され、

第3のMISFTの第1の端子は高電圧電源供給側に接続され、第2の端子は第2のMISFTの第2の端子に接続され、

第2のMISFTと第3のMISFTとの接続点は前記容量の第2の端子が接続されて出力端子となる回路が多段に接続されていることを特徴とする表示装置。

【請求項12】 少なくとも一つの段の回路の第1のMISFTに対応するMISFTのゲート端子は高電圧電源供給側に接続していることを特徴とする請求項11に記載の表示装置。

【請求項13】 少なくとも一つの段の回路の第2のMISFTに対応するMISFTのゲート端子と容量

の第2の端子が接続された端子との間に他の容量が介在されていることを特徴とする請求項11、12のうちいずれかに記載の表示装置。

【請求項14】 1段目の回路の第1のMISFTに対応するMISFTのゲート端子は入力パルスが入力される入力端子に接続されていることを特徴とする請求項11に記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は表示装置に係り、特に、表示パネルの基板面に表示駆動回路が形成されたアクティブ・マトリクス型の表示装置に関する。

【0002】

【従来の技術】 アクティブ・マトリクス型の表示装置の1種である液晶表示装置は、液晶を介して対向配置される基板のうち一方の基板の液晶側の面に、x方向に延在しy方向に並設される複数のゲート信号線のうちの2本のゲート信号線とy方向に延在しx方向に並設される複数のドレイン信号線のうちの隣接する2本のドレイン信号線とで囲まれた領域を1つの画素領域としている。そして、この画素領域には一方のゲート信号線からの走査信号の供給によって作動する薄膜トランジスタと、この薄膜トランジスタを介して一方のドレイン信号線からの映像信号が供給される画素電極とを備えている。

【0003】 この画素電極はたとえば他方の基板側に形成された対向電極との間に電界を生じせしめ、この電界によってこれら電極の間の液晶の光透過率を制御するようになっている。そして、このような液晶表示装置において、各ゲート信号線のそれぞれに走査信号を供給する走査信号駆動回路、および各ドレイン信号線のそれぞれに映像信号を供給する映像信号駆動回路が備えられている。

【0004】 このような走査信号駆動回路および映像信号線駆動回路は、画素領域内に形成される薄膜トランジスタと同様の構成からなる多数のMISトランジスタからなることに鑑み、これら各トランジスタの半導体層を多結晶のシリコン(p-Si)で形成するとともに、走査信号駆動回路および映像信号線駆動回路を前記一方の基板面に前記画素の形成と並行して形成したものが知られている。

【0005】 そして、これら各回路は、そのトランジスタを多結晶のシリコンで形成しているため、出力が低電圧であり、これをそのまま用いると必要な駆動電圧を得られない場合がある。このため、パルス等の電圧を低電圧から高電圧へ変換するための電圧レベル変換器が組み込まれている。このような電圧レベル変換器としては、たとえば図16に示すようなもの、あるいは図17に示すようなものが一般的である。

【0006】

【発明が解決しようとする課題】 ここで、これらの電圧

レベル変換器の本質的な動作は、異なる極性のMOSトランジスタのうちいずれか一方の極性のMOSトランジスタの電流のON/OFFを外部からの入力パルスで制御し、これにより変動した電圧を用いて、他方の極性のMOSトランジスタの電流のON/OFFを制御することにより、外部からの入力パルスの電圧より振幅の大きいパルスを得るようになっている。

【0007】このため、他方の極性のMOSトランジスタは、レベル変換後の電圧振幅に近い大きな電圧変動を入力として電流のON/OFFを制御している。したがって、他方の極性のMOSトランジスタの電流のON/OFFを制御する電圧が、制御に十分な値に到達する前に何らかの貫通電流が生じてしまうことになる。

【0008】このことは、外部からの入力パルスの電圧は、いずれか一方のMOSトランジスタの絶対電圧に支配されるか、またはいずれか一方のMOSトランジスタの絶対電圧は外部からの入力パルスの電圧によって制限されることになる。

【0009】ここで、電圧レベル変換器が多結晶シリコンのMOSトランジスタで形成されている場合、単結晶シリコンのMOSトランジスタの場合と比較して、電荷移動度が小さく、外部からの入力パルスの小さい電圧でのゲート制御ではさらに電流供給能力が小さくなり、MOSトランジスタの電流のON/OFFを制御する電圧に変化させるまでの時間は長くなり、結果として、貫通電流が多くなってしまうことが指摘されるに到っている。

【0010】本発明は、このような事情に基づいてなされたものであり、その目的は貫通電流が充分に抑制された電圧レベル変換器を備えた表示装置を提供することにある。

【0011】

【課題を解決するための手段】本発明において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0012】本発明による表示装置は、たとえば、絶縁基板面にレベル変換回路を含む駆動回路を備え、前記レベル変換回路は、多結晶シリコンを半導体層とするMIS TFTから構成され、入力パルスの入力端子が第1の容量を介してそれぞれゲート端子および第1の端子に接続される第1のNMISTFTと第1のPMISTFTと、前記入力パルスの入力端子が第2の容量を介してそれぞれ第2の端子に接続される第2のNMISTFTと第2のPMISTFTと、前記第1のNMISTFTと第2のPMISTFTのゲート端子および第1の端子がゲート端子に接続される第3のPMISTFTと、前記第2のNMISTFTと第2のPMISTFTの第2の端子がゲート端子に接続される第3のNMISTFTと、前記第3のPMISTFTの第1の端子は前記第1のNMISTFTと第1のPMISTFTの第2の端子と第1のPMISTFT

の第2の端子と接続された高電圧電源供給配線側に接続され、前記第3のNMISTFTの第2の端子は前記第2のNMISTFTのゲート端子と第1の端子および前記第2のPMISTFTのゲート端子と第1の端子と接続された低電圧電源供給配線側に接続され、前記第3のPMISTFTの第2の端子と第3のNMISTFTの第1の端子の接続点を出力端子とすることを特徴とするものである。

【0013】このように構成された表示装置は、第3のPMISTFTと第3のNMISTFTのそれぞれのON状態およびOFF状態、およびOFF状態およびON状態を同時に作動させることができるようになり、第3のPMISTFTと第3のNMISTFTを通して流れる貫通電流を防止することができる。

【0014】

【発明の実施の形態】以下、本発明による表示装置の実施例について図面を用いて説明をする。

実施例1.

《全体構成》図2は本発明による液晶表示装置の全体を示す概略構成図である。同図は実際の幾何学的配置に対応させて描いた平面図となっている。同図において、液晶を介して互いに対向配置される一対の透明基板のうち一方のたとえばガラス基板からなる透明基板SUB1がある。そして、この透明基板SUB1の液晶側の面の周辺を除く中央部（表示部AR）には、図中x方向に延在しy方向に並設される複数のゲート信号線GLおよびy方向に延在しx方向に並設される複数のドレイン信号線DLが形成されている。

【0015】隣接する2本のゲート信号線GLおよび隣接する2本のドレイン信号線DLとで囲まれる各領域は画素領域を構成し、この画素領域には一方の側のゲート信号線GLからの走査信号の供給によって作動する薄膜トランジスタTFTと、この薄膜トランジスタTFTを介して一方の側のドレイン信号線DLからの映像信号が供給される画素電極PXとを備えている。

【0016】すなわち、各ゲート信号線GLにはたとえば図2中上から下に順次走査信号（電圧）が供給され、この走査信号によって薄膜トランジスタTFTがONするようになっている。そして、このタイミングにあわせて各ドレイン信号線DLから映像信号（電圧）が供給され、ON状態の前記薄膜トランジスタTFTを介して画素電極PXに印加されるようになっている。

【0017】なお、これら各画素電極PXはたとえば透明基板SUB1に対向配置される他の透明基板の液晶側の面において各画素領域に共通に形成された対向電極（図示せず）との間に電界を発生せしめ、この電界が液晶の光透過率を制御するようになっている。

【0018】各ゲート信号線GLはその一端側（図中左側）において画素駆動用シフトレジスタ1に接続され、この画素駆動用シフトレジスタ1によって前記各ゲート

信号線G Lに順次走査信号が供給されるようになっている。

【0019】各ドレイン信号線D Lはその一端側(図中上側)において、その一端側から順次に、D-A変換回路2、メモリ3、入力データ取り込み回路4、水平アドレスデコーダ5が接続され、前記メモリには垂直アドレスデコーダ6、メモリ駆動用シフトレジスタ7が接続されている。

【0020】そして、このように構成された液晶表示装置には、スタートパルスクロック信号、画素データ、水平画素アドレス(H)、垂直画素アドレス(V)を含む情報が入力されるようになっている。スタートパルスクロック信号はメモリ駆動用シフトレジスタ7および画素駆動用シフトレジスタ1に、水平画素アドレス(H)は水平アドレスデコーダ5に、画素データは入力データ取込み回路4に、垂直画素アドレス(V)は垂直アドレスデコーダ6に、それぞれ入力されるようになっている。

【0021】そして、このような回路において、電圧のレベルを変換することが必要な個所において、電圧レベル変換器V LCが形成されている。図2においては、水平画素アドレス(H)が入力される水平アドレスレコーダ5の前段に、画素データが入力される入力データ取込み回路4の前段に、メモリ3とD-A変換回路2との間に、そして、画素駆動用シフトレジスタ1とゲート信号線G Lとの間に形成されている。

【0022】ここで、透明基板SUB1の表面に形成される表示部ARおよびその周辺の各回路は、フォトリソグラフィ技術による選択エッチングで所定のパターンに形成された導電層、半導体層、および絶縁層等が積層されて形成された薄膜トランジスタ(MISTFT)、画素電極、信号線等が形成されている。そして、この場合の半導体層はたとえば多結晶のシリコン(p-SI)で形成されている。

【0023】《レベル変換回路》図1(a)は前記レベル変換器V LCの一実施例を示す回路図である。なお、このレベル変換器V LCは図2に示したそれの全部に適用されることなく必要とされる部分、あるいは他の部分に適用されるようにしてもよい。

【0024】同図(a)において、まず、入力パルスVINの入力端子が第1の容量C1を介してn型のMOSトランジスタNMOS1のゲート端子および第1の端子(ソース端子およびドレイン端子のうち一方の端子をいう)に接続され、p型のMOSトランジスタPMOS1のゲート端子および第1の端子に接続されている。

【0025】また、入力パルスVINの入力端子が第2

の容量C2を介してn型のMOSトランジスタNMOS2の第2の端子(ソース端子およびドレイン端子のうち他方の端子をいう)に接続され、p型のMOSトランジスタPMOS2の第2の端子に接続されている。

【0026】そして、n型のMOSトランジスタNMOS1とp型のMOSトランジスタPMOS1のそれぞれのゲート端子および第1の端子はp型のMOSトランジスタPMOS3のゲート端子に接続されている。

【0027】また、n型のMOSトランジスタNMOS2とp型のMOSトランジスタPMOS2のそれぞれの第2の端子はn型のMOSトランジスタNMOS3のゲート端子に接続されている。

【0028】n型のMOSトランジスタNMOS2とp型のMOSトランジスタPMOS2のそれぞれの第2の端子はn型のMOSトランジスタNMOS3のゲート端子に接続されている。

【0029】p型のMOSトランジスタPMOS3の第1の端子は、n型のMOSトランジスタNMOS1の第2の端子とp型のMOSトランジスタPMOS1の第2の端子とに接続された高電圧電源供給配線VDDに接続され、n型のMOSトランジスタNMOS3の第2の端子は、n型のMOSトランジスタNMOS2のゲート端子と第1の端子およびp型のMOSトランジスタPMOS2のゲート端子と第1の端子とに接続された低電圧電源供給配線VSSに接続されている。本明細書では、上述のVDDとVSSとは、配線の名称と、配線上の電位とを示すものとする。

【0030】このp型のMOSトランジスタPMOS3とn型のMOSトランジスタNMOS3はコンプリメンタリMOSトランジスタ(CMOS)を構成し、p型のMOSトランジスタPMOS3の第2の端子とn型のMOSトランジスタNMOS3の第1の端子との接続点を出力端子としている。

【0031】次に、上述した電圧レベル変換器V LCの動作について説明する。図1(b)は入力パルスVINの波形および図1(a)に示したノードN2ないしN4のそれぞれにおける信号波形を示したものである。

【0032】入力パルスVINは容量C1、C2を介してそれぞれノードN2、N3と容量結合しており、入力パルスVINの電圧変動 ΔV により、ノードN2、N3はそれぞれ $\Delta V(N2)$ 、 $\Delta V(N3)$ の電位変動を起こす。この際の電位変動 $\Delta V(N2)$ 、 $\Delta V(N3)$ は概ね次の式(1)、(2)で定まる。

【0033】

$$[\text{数1}] \quad \Delta V(N2) = C1 \times \Delta V / (C1 + C1S) \quad \dots (1)$$

$$[\text{数2}] \quad \Delta V(N3) = C2 \times \Delta V / (C2 + C2S) \quad \dots (2)$$

ここで、C1S、C2Sは各ノードN2、N3の全ての容量から容量C1、C2を除いたもので、容量C1、C

2を有効容量とした場合のいわゆる寄生容量である。そして、以下の説明では次式(3)、(4)、(5)とな

るよう回路定数が定められているとする。

$$\begin{aligned} \text{【数3】 } \Delta V(N2) &= V_{th}(NMOS1) + |V_{th}(PMOS1)| \\ &+ V_{1eff} \dots \dots (3) \end{aligned}$$

$$\begin{aligned} \text{【数4】 } \Delta V(N3) &= V_{th}(NMOS2) + |V_{th}(PMOS2)| \\ &+ V_{2eff} \dots \dots (4) \end{aligned}$$

$$\text{【数5】 } V_{1eff}, V_{2eff} > 0 \dots \dots (5)$$

ここで、 $V_{th}(aMOSb)$ は、 a ($a : P$ 又は N) 型の MOS トランジスタ b (個々のトランジスタを識別する整数) の閾値電圧を示す。また、ゲート電極に印加された電圧からその MOS トランジスタのしきい値電圧を差し引いた電圧値を有効電圧と称し、 V_{eff} を表す。ここで、* は、識別のための整数である。

【0035】 図1 (b)において、まず、ノードN1に入力パルス V_{IN} が入力され、時間 t_0 から t_1 までの間に、回路に電源を投入したとき、ノードN2は高電圧電源電圧 VDD よりも約 $|V_{th}(PMOS1)|$ の電圧だけ低い状態にあり、ノードN3は低電圧電源電圧 VSS よりも約 $|V_{th}(PMOS2)|$ の電圧だけ高い状態にある。

【0036】 この際、ノードN2の電圧をゲート電圧とする PMOS3、およびノードN3の電圧をゲート電圧とする NMOS3 のそれぞれの直列接続のトランジスタはいずれも弱いON状態になる可能性があり、これによ

【0034】

り、高電圧電源電圧供給配線 VDD から PMOS3、NMOS3 を介して高電圧電源電圧供給配線 VDD から低電圧電源電圧供給配線 VSS に貫通電流が流れ、この電流量によって出力が現れるノードN4における信号の電圧が不安定となる畏れがある。

【0037】 このことは、電源の投入時、またはその後に入力パルス V_{IN} の電圧を変化させることによって、PMOS3 または NMOS3 のいずれか一方を OFF 状態にすることによって解決できる。

【0038】 そして、時間 t_1 で、入力パルス V_{IN} が Low レベル (以下、'L' と称す) から High レベル (以下、'H' と称す) まで、 $+\Delta V$ だけ電圧変動すると上述したように、容量 C_1 、 C_2 の容量結合により、ノードN2、N3のそれぞれの電位は $\Delta V(N2)$ 、 $\Delta V(N3)$ 分上昇する。

【0039】 この場合、ノードN2の電圧 $V(N2)$ は上式 (3) から、

$$\begin{aligned} \text{【数6】 } V(N2) &= VDD + \Delta V(N2) - |V_{th}(PMOS1)| \\ &= VDD + V_{th}(NMOS1) + V_{1eff} \dots \dots (6) \end{aligned}$$

となり、PMOS3は強いOFF状態となる。

【0040】 ノードN3の電圧 $V(N3)$ は上式 (4)

$$\begin{aligned} \text{【数7】 } V(N3) &= VSS + \Delta V(N3) + |V_{th}(PMOS2)| \\ &= VSS + V_{th}(NMOS2) + 2|V_{th}(PMOS2)| \\ &\quad + V_{2eff} \dots \dots (7) \end{aligned}$$

となり、NMOS3はON状態となる。このことから、入力パルス V_{IN} が $+\Delta V$ 電圧変動することにより、PMOS3のOFF状態と、NMOS3のON状態がほぼ同時に起こることになる。

【0041】 時間 t_1 から t_2 の間では、 $V(N2)$ は $VDD + V_{th}(NMOS1) + V_{1eff}$ なので、NMOS1がON状態となり $V(N2)$ は減少していくが、 $V(N2)$ が $VDD + V_{th}(NMOS1)$ の電圧付近で NMOS1 はカットオフされる。この時、PMOS3のゲート電圧は $V(N2) = VDD + V_{th}(NMOS1)$ であり、PMOS3のソース電圧は VDD であるため、PMOS3はOFF状態を維持する。

【0042】 同様に、 $V(N3) = VSS + V_{th}(NMOS2) + 2|V_{th}(PMOS2)| + V_{2eff}$ なので、PMOS2がON状態となって $V(N3)$ は減少していくが、 $VSS + |V_{th}(PMOS2)|$ の電圧付近で PMOS2 はカットオフされる。

【0043】 この場合、 $|V_{th}(PMOS2)| \geq V_{th}(NMOS3)$ ならば、NMOS3はON状態を維持し、 $|V_{th}(PMOS2)| < V_{th}(NMOS3)$ ならば、NMOS3はカットオフされ、OFF状態となる。

【0044】 ここで、 $|V_{th}(PMOS2)| \geq V_{th}(NMOS3)$ の場合を考える。PMOS3はOFF状態を維持しているので、NMOS3はノードN4に蓄えられた電荷 $C(N4) \times (V_{INT} - VSS)$ を (VSS 側に) ディスチャージできれば、ノードN4の電圧 $V(N4)$ を VSS にできることになる。ここで、 $C(N4)$ はノードN4の静電容量、 V_{INT} は t_1 の時刻におけるノードN4の電圧である。

【0045】 NMOS3のゲート電圧が $V(N2) = VSS + |V_{th}(PMOS2)|$ になったときの電流値を次式 (8) とし、

【数8】 $I (\text{NMOS } 3; V_{th} (\text{PMOS } 2)) \dots\dots\dots (8)$

少なくとも、次式(9)の条件を満たすように定数設定
すればノードN4の電圧V(N4)はVSSになる。

【数9】 $I (\text{NMOS } 3; V_{th} (\text{PMOS } 2)) \times (t_2 - t_1) \geq C (N4) \times (V_{INT} - V_{SS}) \dots\dots\dots (9)$

また、次式(10)に示す関係にあるなら、

【0047】

【数10】 $|V_{th} (\text{PMOS } 2)| < V_{th} (\text{NMOS } 3) \dots\dots\dots (10)$

$V (N2) = V_{th} (\text{NMOS } 3)$ の電圧になったところで、NMOS3はカットオフされる。時間 t_1 から NMOS3がカットオフされるまでの時間を t_{eff1} とすると、PMOS3はOFF状態であるので、NMOS

3によりディスチャージされる電荷 Q' (1) は、次式(11)で与えられる。

【0048】

【数11】 $Q' (1) = \int I (t) dt \dots\dots\dots (11)$

ここで、 $I (t)$ は、 βN をNMOS3の電流変換係数、 $Q (t)$ をノードN4の時間 t での電荷量、 $C (N4)$ をノードN4の容量とすると、 $Q (t) / C (N4) < (V (N3) (t) - V_{th} (\text{NMOS } 2))$ のとき、

$$I (t) = \beta N ((V (N3) (t) - V_{th} (\text{NMOS } 2)) * (Q (t) / C (N4)) - (Q (t) / C (N4)) \times (Q (t) / C (N4))) / 2$$

$Q (t) / C (N4) \geq (V (N3) (t) - V_{th} (\text{NMOS } 2))$ のとき、

$$I (t) = \beta N ((V (N3) (t) - V_{th} (\text{NMOS } 2)) \times (V (N3) (t) - V_{th} (\text{NMOS } 2)) / 2)$$

で与えられ、積分は t_1 から $t_1 + t_{eff1}$ までの時間に行うものとする。

【0049】 そして、 $Q' (1) = Q (t = t_1)$ となるなら、ノードN4の電圧 $V (N4)$ はVSSとなる。逆に、上式(11)の $Q' (1)$ を $Q (t = t_1)$ とおいて式(11)から求められる積分時間 t_x が $t_x \leq t_{eff1}$ ならば、ノードN4の電圧 $V (N4)$ をVSSとできることになる。

【0050】 時間 t_2 で入力パルス V_{IN} が H' から L' まで $-\Delta V$ の電圧変動をすると、上述したように、容量 C_1 、 C_2 の容量結合により、ノードN2、N3の電位は、時間 t_2 の電位から、それぞれ $\Delta V (N2)$ 、 $\Delta V (N3)$ 下降する。この場合、ノードN3の電圧 $V (N3)$ は上式(4)等から、次式(12)となる。

【0051】

【数12】 $V (N3) = V_{SS} + |V_{th} (\text{PMOS } 2)| - \Delta V (N3) = V_{SS} - V_{th} (\text{NMOS } 2) - V_{2eff} \dots\dots\dots (12)$

これにより、ノードN3の電圧 $V (N3)$ 、すなわち、NMOS3のゲート電圧はNMOS3のソース電圧 V_{SS} より $V_{th} (\text{NMOS } 2) + V_{2eff}$ だけ低い電位となるので、NMOS3はOFF状態になる。ノードN

2の電圧 $V (N2)$ は上式(3)等から、次式(13)となる。

【0052】

【数13】 $V (N2) = V_{DD} + |V_{th} (\text{NMOS } 1)| - \Delta V (N2) = V_{DD} - |V_{th} (\text{PMOS } 1)| - V_{1eff} \dots\dots\dots (13)$

はOFF状態を維持する。

【0054】 時間 t_2 において、上式(6)により、PMOS1のゲート電圧 $V (N2)$ はPMOS1のソース電圧 V_{DD} より $|V_{th} (\text{PMOS } 1)| + V_{1eff}$ だけ低い電圧のため、PMOS1はON状態となり、 $V (N2)$ の電圧は上昇していくが、 $V (N2) = V_{DD} - |V_{th} (\text{PMOS } 1)|$ 付近で、PMOS1はカットオフされてOFF状態となる。このため、次式(14)の関係にあるならば、PMOS3はON状態を維持

これにより、ノードN2の電圧 $V (N2)$ 、すなわち、PMOS3のゲート電圧はPMOS3のソース電圧 V_{DD} より $|V_{th} (\text{PMOS } 1)| + V_{1eff}$ だけ低い電位となるので、PMOS3はON状態になる。

【0053】 時間 t_2 から t_3 の間では、 $V_{th} (\text{NMOS } 2) \leq V_{th} (\text{NMOS } 2) + V_{2eff}$ であれば、NMOS2がON状態となり $V (N3)$ は上昇していくが、 $V_{SS} - V_{th} (\text{NMOS } 2)$ の電圧付近で、NMOS2はカットオフされる。このため、NMOS3

する。

【0055】

$$\text{【数14】 } |V_{th}(\text{PMOS1})| \geq |V_{th}(\text{PMOS3})| \dots\dots\dots (14)$$

NMOS3はOFF状態を維持しているので、PMOS3はノードN4に蓄えられた電荷C(N4) × (VDD - VSS)を(VDD側に)ディスチャージできれば、ノードN4の電圧V(N4)をVDDにできることにな

る。

【0056】 PMOS3のゲート電圧がV(N2) = VDD - |Vth(PMOS1)|になったときのPMOS3の電流値を次式(15)とし、

$$\text{【数15】 } I(\text{PMOS3}; V_{th}(\text{PMOS1})) \dots\dots\dots (15)$$

少なくとも、次式(16)の条件を満たすように定数設定すればノードN4の電圧V(N4)はVDDになる。

【0057】

$$\text{【数16】 } I(\text{PMOS3}; V_{th}(\text{PMOS1})) \times (t_3 - t_2) \geq C(N4) \times (VDD - VSS) \dots\dots\dots (16)$$

また、|Vth(PMOS1)| < |Vth(PMOS3)|であるならば、PMOS3がカットオフされる場合となる。時間t2からPMOS3がカットオフされるまでの時間をt_eff2とすると、NMOS3はOFF

状態であるので、PMOS3によりディスチャージされる電荷Q'(2)は、次式(17)で与えられる。

【0058】

$$\text{【数17】 } Q' (2) = \int I(t) dt \dots\dots\dots (17)$$

ここで、I(t)は、 βP をPMOS3の電流係数、Q(t)をノードN4の時間tでの電荷量、C(N4)をノードN4の容量とすると、PMOS3の電流I(t)は、 $Q(t)/C(N4) < (V(N3)(t) - |Vth(PMOS1)|)$ のとき、

$$I(t) = \beta P ((V(N3)(t) - |Vth(PMOS1)|) (Q(t)/C(N4)) - (Q(t)/C(N4)) \times (Q(t)/C(N4))) / 2 \\ Q(t)/C(N4) \geq (V(N3)(t) - |Vth(PMOS1)|) のとき、$$

$$I(t) = \beta P ((V(N3)(t) - Vth(NMOS2)) \times (V(N3)(t) - Vth(NMOS2)) / 2$$

で与えられ、積分はt2からt2 + t_eff2までの時間行うものとする。

【0059】 そして、 $Q'(2) = Q(t=t_2)$ となるなら、ノードN4の電圧V(N4)はVDDとなる。逆に、上式(17)のQ'(2)をQ(t=t2)とおいて求められる時間間隔txが $t_x \leq t_{eff2}$ ならば、ノードN4の電圧V(N4)をVDDとすることができるようになる。

【0060】 時間t3で、再び入力パルスVINが'L'から'H'まで+ΔVの電圧が変動すると、上述したように、容量C1、C2の容量結合により、ノードN2、N3の電位は時間t3の電位から、それぞれΔV(N2)、ΔV(N3)上昇する。この場合、ノードN2の電圧V(N2)は上式(3)等から、次式(18)となり、PMOS3は強いOFF状態となる。

【0061】

$$\text{【数18】 } V(N2) = VDD - |Vth(PMOS1)| + \Delta V(N2) \\ = VDD + Vth(NMOS1) + V_{eff} \dots\dots\dots (18)$$

これにより、ノードN3の電圧V(N3)は上式(4)等から、次式(19)となり、NMOS3はON状態と

なる。

$$\text{【数19】 } V(N3) = VSS - |Vth(PMOS2)| + \Delta V(N3) \\ = VSS + Vth(NMOS2) + V_{eff} \dots\dots\dots (19)$$

【0062】 時間t3からt4の間では、 $V(N2) = VDD + Vth(NMOS1) + V_{eff}$ なので、NMOS1がON状態となりV(N2)は減少していくが、 $V(N2) = VDD + Vth(NMOS1)$ の電圧付近で、NMOS1はカットオフされる。この時、PMOS3のゲート電圧は $V(N2) = VDD + Vth(N$

MOS1)

であり、PMOS3のソース電圧はVDDであるため、PMOS3はOFF状態を維持する。

【0063】 同様に、 $|Vth(PMOS2)| \leq Vth(NMOS2) + V_{eff}$ であれば、PMOS2がON状態となりV(N3)は減少していくが、 $V(N3) = VSS + |Vth(PMOS2)|$ の電圧付近で

PMOS 2はカットオフされる。

【0064】この時、 $|V_{th}(PMOS\ 2)| \geq V_{th}(NMOS\ 3)$ ならば、NMOS 3はON状態を維持し、 $|V_{th}(PMOS\ 2)| < V_{th}(NMOS\ 3)$ ならば、 $V(N\ 3) = V_{SS} + V_{th}(NMOS\ 3)$ に電圧降下したところで、NMOS 3はカットオフされ、OFF状態となる。この場合、 $|V_{th}(PMOS\ 2)|$ と $V_{th}(NMOS\ 3)$ との関係は、時間 t_1 から t_2 の間の動作で述べた説明と同様である。

【0065】以下、順次これが繰り返されて動作し、図1(b)の $V(N\ 4)$ に示すように、 $VDD - VSS$ の振幅を有するパルスに電圧レベル変換され、図1(b)の $V(N\ 4)$ に示すように、 $VDD - VSS$ の振幅をも

つ波形のパルスに電圧レベル変換されることになる。

【0066】実施例2. 図3は、本発明による液晶表示装置に形成される電圧レベル変換器 VLCの他の実施例を示す回路図で、図1(a)と対応した図となってい。図1(a)と異なる構成は、出力端子と低電圧電源供給配線 VSS との間に容量 CL を接続させていることにある。このようにした場合に、図1(a)の回路と比較して、その動作は定性的にはほぼ同じになる。

【0067】ここで、簡単のため、図1(a)の回路の動作説明における式(9)の $VINT$ を VDD に変え、 $V(N\ 4)$ を VSS に、また、式(16)を、 $V(N\ 4)$ を VDD にする条件と仮定する。

【0068】まず、上式(9)は次式(20)に、

$$\begin{aligned} \text{【数20】 } I(NMOS\ 3; V_{th}(PMOS\ 2)) \times (t_2 - t_1) \\ \geq \{C(N\ 4) + CL\} \times (VDD - VSS) \quad \dots \dots \dots (20) \end{aligned}$$

式(16)は次式(21)になる。

$$\begin{aligned} \text{【数21】 } I(PMOS\ 3; V_{th}(PMOS\ 1)) \times (t_3 - t_2) \\ \geq \{C(N\ 4) + CL\} \times (VDD - VSS) \quad \dots \dots \dots (21) \end{aligned}$$

これらの式を負荷容量の式に変形する上式(20)、

【0069】

(21)は、それぞれ次式(22)、(23)になる。

$$\text{【数22】 } CL \leq \{I(NMOS\ 3; V_{th}(PMOS\ 2)) \times (t_2 - t_1)\} / (VDD - VSS) - C(N\ 4) \quad \dots \dots \dots (22)$$

$$\text{【数23】 } CL \leq \{I(PMOS\ 3; V_{th}(PMOS\ 1)) \times (t_3 - t_2)\} / (VDD - VSS) - C(N\ 4) \quad \dots \dots \dots (23)$$

時間の式に変形すると、それぞれ次式(24)、(25)となる。

【0070】

$$\begin{aligned} \text{【数24】 } (t_2 - t_1) \geq \{C(N\ 4) + CL\} \times (VDD - VSS) \\ / (NMOS\ 3; V_{th}(PMOS\ 2)) \quad \dots \dots \dots (24) \end{aligned}$$

$$\begin{aligned} \text{【数25】 } (t_3 - t_2) \geq \{C(N\ 4) + CL\} \times (VDD - VSS) \\ / (PMOS\ 3; V_{th}(PMOS\ 1)) \quad \dots \dots \dots (25) \end{aligned}$$

電流の式に変形すると、それぞれ次式(26)、(27)となる。

【0071】

$$\begin{aligned} \text{【数26】 } I(NMOS\ 3; V_{th}(PMOS\ 2)) \geq \\ \{C(N\ 4) + CL\} \times (VDD - VSS) / (t_2 - t_1) \quad \dots \dots \dots (26) \end{aligned}$$

$$\begin{aligned} \text{【数27】 } I(PMOS\ 3; V_{th}(PMOS\ 1)) \geq \\ \{C(N\ 4) + CL\} \times (VDD - VSS) / (t_3 - t_2) \quad \dots \dots \dots (27) \end{aligned}$$

【0072】この場合、上式(20)から(27)において、右辺側を固定値と考えると、式(22)、(23)において負荷容量の値が、式(24)、(25)において最大周波数が、式(26)、(27)においてMOSトランジスタの電流値すなわちゲートの寸法が、それぞれ制限を受けることになる。このことは、負荷(容量)によって、本実施例の電圧レベル変換回路の定数を個々に設定、あるいは確認する煩わしさがともなうこと

になる。

【0073】図4(a)は、これに鑑みてなされた電圧レベル変換器 VLCの他の実施例を示す回路図で、図4(b)は、その回路の各ノードにおけるパルス波形の模式図を示している。図4(a)は、図3に対応した図となっており、ノードN 4を入力とするCMOSインバータと、このCMOSインバータの出力ノードN 5に負荷容量 CL を加えた構成となっている。

【0074】すなわち、まず、第1の端子が高電圧電源供給配線VDDに接続されたp型のMOSトランジスタPMOS4と、第2の端子が低電圧電源供給配線VSSに接続されたn型のMOSトランジスタNMOS4とが備えられている。これらp型のMOSトランジスタPMOS4とn型のMOSトランジスタNMOS4のゲート端子はp型のMOSトランジスタPMOS3の第2の端子とn型のMOSトランジスタNMOS4の第1の端子の接続点に接続されている。

【0075】そして、p型のMOSトランジスタPMOS4の第2の端子とn型のMOSトランジスタNMOS4の第1の端子の接続点を出力端子として構成し、この出力端子と低電圧電源供給配線VSSとの間に容量CLが接続されている。上記回路の動作において、VIN、V(N2)、V(N3)、V(N4)の電圧時間変動は実施例1で説明したとおりである。

【0076】そして、V(N4)はCMOSインバータ(PMOS4、NMOS4)の入力パルスとなり、ノードN5は図4(b)に示すような電圧時間変動となり、パルスが負荷容量CLの充電電圧となる。この場合、この回路のディスチャージすべき負荷容量は、前記CMOSインバータ(PMOS4、NMOS4)のゲート容量、およびノードN4の配線容量等の寄生容量に限定される。

【0077】これは、一般的には、負荷容量CLよりも小さな負荷とでき、各要素の設計定数を現実的な値にすることができる。さらに、たとえば実施例1の場合と比較して同一の回路定数での用途範囲が広くなる効果もある。

【0078】実施例3. 図5は、レベル変換回路の他の実施例を示す回路図を示す図で、図4(a)と対応した図となっている。図4(a)の場合と比較して異なる部分は、p型のMOSトランジスタPMOS5およびn型のMOSトランジスタNMOS5からなるCMOSをさらに一段追加した構成とし、その出力端子と低電圧電源供給配線VSSとの間に容量CLを接続させた構成とな

$$【数29】 V(N5)_{max} = VDD \quad \dots \quad (29)$$

$$【数30】 V(N5)_{min} = VSS \quad \dots \quad (30)$$

【0081】たとえばPMOS3、NMOS3の対と、PMOS13、NMOS13の対の定数が同じとする、より大きな有効ゲート(ピーク)電圧と、長いt_{ef}が得られるようになる。すなわち、より大きな負荷、換言すれば、より駆動能力のあるCMOSインバータ(PMOS14、NMOS14)を駆動できるようになり、さらに大きな負荷容量CLを駆動させることができる。

【0082】また、V(N6)、V(N7)がPMOS13、NMOS13それぞれのしきい値を超えた時点で、対になるトランジスタのON/OFFが完全に切り

っている。なお、図5においてC5はノードN5の配線容量等の寄生容量を示す。ノードN6が出力端子を形成している。このような構成からなる回路は負荷容量が大きい場合に効果的となる。さらに、このような趣旨から、図6に示すように、p型のMOSトランジスタPMOS6およびn型のMOSトランジスタNMOS6からなるCMOSをさらに一段追加し、その出力端子と低電圧電源供給配線VSSとの間に容量CLを接続させた構成とするようにしてもよいことはもちろんである。なお、図6において、C6はノードN6の配線容量等の寄生容量を示す。ノードN7が出力端子を形成している。

【0079】実施例4. 図7(a)は、本発明による液晶表示装置の基板面に形成される電圧レベル変換器の他の実施例を示す回路図である。同図(a)は、上述した構成の電圧レベル変換器VLCを多段(2段)に接続したものであり、具体的には、図1(a)に示した回路を前段に、図4(a)に示した回路を後段にし、それらの回路の間にCMOS(PMOS4、NMOS4)を介在させて接続したものである。ノードN9が出力端子を形成している。図7(b)は、入力パルスVIN、上記回路のノードN2ないしN8におけるそれぞれの電圧波形V(N2)ないしV(N8)を示している。上記回路の動作において、V(N5)までの信号波形は実施例2に説明した内容と同じである。図7において、C11、C12、C11S、C12Sは、図4(a)における容量C1、C2、C1S、C2Sに対応する。また、C8は、ノードN8に形成される寄生容量を示す。

【0080】そして、V(N5)に対するN6およびN7の各電圧V(N6)、V(N7)の時間変化は、図4(a)におけるVINに対してのV(N2)、V(N3)の反応と同様であるが、上式(1)、(2)、(3)、(4)、(5)を満たす範囲で、通常、次式(28)に示す関係があるのに対して、

$$【数28】 VIN \ll VDD \dots (28)$$

次式(29)、(30)が成立するので、

替わるので、通常のCMOSインバータよりも短い時間遅れで、パルス信号を次段に送ることができるようになる。

【0083】実施例5. 上述した各実施例では、入力パルスVINの入力端子と高電圧電源供給配線VDDとの間に、容量C1とn型のMOSトランジスタNMOS1が直列接続されているが、このうちn型のMOSトランジスタNMOS1はダイオードの機能をもたせているものである。このため、たとえば図1(a)の回路の場合を例にとると、図8(a)に示すように、n型のMOSトランジスタNMOS1を陰極を高電圧電源供給配線V

DD側としたダイオードD1に置き換えることができる。

【0084】同様に、上述した各実施例では、入力パルスVINの入力端子と低電圧電源供給配線VSSとの間に、容量C2とp型のMOSトランジスタPMOS2が直列接続されているが、このうちn型のMOSトランジスタNMOS2はダイオードの機能をもたせているものである。このため、やはり図1(a)の回路の場合を例にとると、図8(b)に示すように、n型のMOSトランジスタNMOS2を陽極を低電圧電源供給配線VSS側としたダイオードD2に置き換えることができる。また、図8(c)に示すように、前記n型のMOSトランジスタNMOS1をダイオードD1に置き換えるとともに、n型のMOSトランジスタNMOS2をダイオードD2に置き換えるようにしてもよいことはもちろんである。

【0085】さらに、上述した実施例では、図8(d)に示すように、p型のMOSトランジスタPMOS1およびp型のMOSトランジスタPMOS2を、それぞれ抵抗R1とダイオードD3との直列接続体、および抵抗R2とダイオードD4との直列接続体に置き換えるようにしてもよい。この場合、p型のMOSトランジスタPMOS1およびp型のMOSトランジスタPMOS2のうちいずれか一方のみを抵抗R1とダイオードD1との直列接続体に置き換えるようにしてもよいことはいうまでもない。

【0086】また、たとえば図1(a)の回路において、NMOS2およびPMOS2のゲート端子は低電圧電源供給配線VSS側に接続されたものである。しかし、図9(a)に示すように、NMOS2およびPMOS2の低電圧電源供給配線VSS側に接続された端子と異なる他方の端子に接続させるようにしてもよい。同様に、たとえば図1(a)の回路において、NMOS1およびPMOS1のゲート端子は高電圧電源供給配線VDD側に接続された端子と異なる他方の端子側に接続されたものである。しかし、図9(b)に示すように、高電圧電源供給配線VDD側に接続させるようにしてもよい。さらに、図9(c)は、図9(a)に示した構成と図9(b)に示した構成とともに採用した構成となっており、このようにしてもよいことはもちろんである。

$$【数32】 V_{BIAS} = V_H = V_{DD}/2 \cdots \cdots (32)$$

また、各n型のMOSトランジスタNNMOS1~3のしきい値は等しいものとし、その値をVthとする。ここでは、次式(33)の関係があるものとして以下説明

$$【数33】 V_{th} = V_H/3 = V_{DD}/6 \cdots \cdots (33)$$

時間t1で、入力パルスVINのレベルがLowレベル(以下、「L」と称す)からHighレベル(以下、「H」と称す)に変化すると、NMOS1を通って、ノードN1の電圧VN1は、次式(34)に示す値にまで上昇する。

【0087】実施例6. 図10(a)は本発明による液晶表示装置に形成される電圧レベル変換器VLCの他の実施例を示す回路図である。同図(a)において、まず、入力パルスVINの入力端子にn型のMOSトランジスタNMOS1の第1の端子が、また、n型のMOSトランジスタNMOS2の第1の端子が接続されている。n型のMOSトランジスタNMOS1およびn型のMOSトランジスタNMOS2のそれぞれのゲート端子には一定のバイアス電圧VBIASが供給されるようになっている。

【0088】n型のMOSトランジスタNMOS1の第2の端子はn型のMOSトランジスタNMOS3のゲート端子および容量CBの第1の端子に接続されている。n型のMOSトランジスタNMOS3の第2の端子は高電圧電源供給配線VDDに接続され、また第1の端子は前記n型のMOSトランジスタNMOS2の第2の端子に接続されている。このn型のMOSトランジスタNMOS2の第2の端子とn型のMOSトランジスタNMOS3の第1の端子の接続点は、前記容量CBの第2の端子に接続されるとともに、出力端子(N2)を構成するようになっている。

【0089】なお、この図では、抵抗容量負荷として、出力端子(N2)とグランドとの間に負荷抵抗RLと負荷容量CLとの直列接続体が接続されている。なお、図中、破線で示された容量CSは、容量CB以外の他の容量、たとえばNMOS3のゲート容量、NMOS1のソース容量、あるいはノードN1における配線容量等を含めた寄生容量を示している。

【0090】図10(b)は、上記回路の動作を示すタイムチャートで、横軸に時間をとった各ノードの信号パルスを示した図である。まず、入力パルスVINは、その最大電圧をVH、最小電圧をVLとする。ここで、VHは最大電源電圧VDDの半分、すなわち、次式(31)に示す関係にあるものとし、VLは簡単のため接地レベル(GND)とする。

【0091】

$$【数31】 V_H = V_{DD}/2 \cdots \cdots (31)$$

そして、バイアス電圧VBIASはVHと等しいものとし、次式(32)に示す関係にあるものとする。

【0092】

$$【数32】 V_{BIAS} = V_H = V_{DD}/2 \cdots \cdots (32)$$

する。

【0093】

$$【数33】 V_{th} = V_H/3 = V_{DD}/6 \cdots \cdots (33)$$

ドN1の電圧VN1は、次式(34)に示す値にまで上昇する。

【0094】

$$【数34】 VN_1 = VH - V_{th} \dots (34)$$

この際、同時に、NMOS3もON状態にあるので、ノードN2の電圧VN2も上式(34)に示される電圧に向かって上昇を始める。

【0095】この時、ノードN2は、負荷抵抗RL、ノードN3、負荷容量CLとからなる負荷回路と接続され

ているので、ノード2の電圧上昇はノードN1よりも遅いものと仮定する。また、ノードN1の電圧VN1がVH-Vthとなり、NMOS1がカットオフされた際のノードN2の電圧をVN20とし、次式(35)の条件が満たされているものとする。

【0096】

$$【数35】 VN_1 - VN_{20} = VH - V_{th} - VN_{20} = V_{th} + \alpha \dots (35)$$

この時、NMOS3は、そのゲート電圧がVN1で、ドレイン電圧がVDD、ソース電圧がVN20であるから、ON状態となる。

【0097】ノード2の電圧VN2がVH-Vthの電位になるまでは、NMOS2とNMOS3の両方から電流が流れ込んで、ノードN2の電位VN2を引き上げるようになる。そして、VN2=VH-Vthになると、NMOS2はカットオフされて電流は止まる。しかし、

この際、先にカットオフされてフローティングノードとなっているノードN1は容量CBを介してノードN2と容量結合されているので、N2の電圧上昇にともない電圧VN1が上昇する。

【0098】ノード2の電圧VN2がVH-Vthの電位になった時点でのノードN1の電圧VN11は、ほぼ、次式(36)で与えられ、

$$【数36】 VN_{11} = VH - V_{th} + (V_{th} + \alpha) \times CB / (CB + CS) \dots (36)$$

ここで、次式(37)が満たされればNMOS3はON状態を維持する。

【0099】

$$【数37】 VN_{11} - (VH - V_{th}) = (V_{th} + \alpha) \times CB / (CB + CS) \\ = V_{th} + \beta \dots (37)$$

このため、NMOS3を通じて、電源電圧から電流の流れ込みがつづき、ノードN2の電圧は上昇を続ける。そして、VN2=VH-Vth以降の電圧上昇分をΔVと

すると、この際のノードN1の電圧VN1Δは次式(38)で示され、

【0100】

$$【数38】 VN_{1\Delta} = VN_{11} + \Delta V \times CB / (CB + CS) \\ = VH - V_{th} + (V_{th} + \alpha + \Delta V) \times CB / (CB + CS) \dots (38)$$

この式(38)からノードN2の電圧VN2=VH-Vth+ΔVを引いた値VN1Δ-VN2が次式(39)に示す条件を満たしている範囲では、NMOS3はON

状態を維持することになる。

【0101】

$$【数39】 VN_{1\Delta} - VN_2 = (V_{th} + \alpha + \Delta V) \times CB / (CB + CS) \\ - \Delta V > V_{th} \dots (39)$$

この式(39)において、次式(40)に示すように、

$$【数40】 \Delta V = VDD - (VH - V_{th}) \dots (40)$$

と置き換えた次式(41)が満たされるならば、

$$【数41】 (V_{th} + \alpha + VDD - (VH - V_{th})) \\ \times CB / (CB + CS) - (VDD - (VH - V_{th})) > V_{th} \dots (41)$$

ノードN2の電圧VN2はVDDの電圧まで上昇することになる。

各トランジスタのサイズ、並びに結合容量CBを設定する必要がある。

【0102】このノードN2の電圧上昇が、ノードN1よりも遅いことが、本実施例の回路の本質であり、換言すれば、このような動作となるように回路定数、特に、

【0103】上述した説明では、しきい値電圧Vthは常時一定として説明をしたが、基板効果等により、各電圧の変動に対するしきい値電圧の変化を無視できない場

合等は、その折々でのV_{t h}を用いる必要がある。

【0104】時間t₂で、入力パルスVINの電圧レベルが'H'から'L'に変化すると、入力パルスVINの電圧は、NMOS1とNMOS2のソース電位となり、この際、2つのトランジスタNMOS1とNMOS2とのゲート電圧はいずれもV_{B I A S}であるから、各トランジスタはいずれもON状態となり、ノードN1に蓄えられた電荷はNMOS1を通じて入力パルスVINの入力端子側にディスチャージされる。

【0105】先の説明から、ノードN1に蓄えられた電荷のディスチャージは速いので、このディスチャージによりNMOS3はOFF状態となり、VDDからの電荷供給(電流)は止まる。ノードN2、N3に蓄えられた電荷は、NMOS2を通じて入力パルスVINの入力端子側にディスチャージされ、ノードN1、N2、N3における電位VN1、VN2、VN3はいずれもVL(=GND)となり、以下同様の動作が繰り返される。

【0106】実施例7、図11(a)は、本発明による液晶表示装置に形成される電圧レベル変換器VLCの他の実施例を示す回路図で、図10(a)に対応した図となっている。図10(a)の場合と比較して異なる構成は、n型のMOSトランジスタNMOS2のゲート端子には一定電圧V_{B I A S}ではなく、入力パルスVINと逆相の関係にあるパルスVINinvertが入力され

る構成となっていることがある。上記では、逆相を示す際、VINの後にinvertを付けているが、本明細書では、文字上に横線を記載することで示す場合もある。

【0107】以下、上述した回路の動作を図11(b)を用いて説明する。時間t₁で、入力パルスVINが'L'から'H'に変化し、NMOS1を通してノードN1の電圧VN1は次式(42)に示す値まで上昇する。

【0108】

$$【数42】 VN1 = VH - V_{th} \dots\dots (42)$$

NMOS2のゲートには逆相のVINinvertが入力されているので、この時、NMOS2はOFF状態となり、NMOS2を通してのノードN2の電圧上昇は起こらない。そして、次式(43)が満たされれば、NMOS3はON状態となり、ノードN2の電圧は上昇し始める。

【0109】

$$【数43】 VN1 = VH - V_{th} \dots\dots (43)$$

簡単のため、VN1が上式(43)で与えられる電圧になるまでのNMOS3を通じてのノードN2の電圧上昇を無視し、以降のVN2の電圧上昇分をΔVとすると、この際のノードN1の電圧VN1Δは、次式(44)となる。

【0110】

$$\begin{aligned} 【数44】 VN1\Delta &= VN1 + \Delta V \times CB / (CB + CS) \\ &= VH - V_{th} + \Delta V \times CB / (CB + CS) \end{aligned} \dots\dots (44)$$

この式(44)からノードN2の電圧VN2 = ΔVを引いた値VN1Δ - VN2が次式(45)の条件を満たしている範囲では、NMOS3はON状態を維持すること

になる。

【0111】

$$\begin{aligned} 【数45】 VN1\Delta - VN2 &= VH - V_{th} + \Delta V \times CB / (CB + CS) \\ &\quad - \Delta V > V_{th} \end{aligned} \dots\dots (45)$$

これにより得られる次式(47)が満たされるならば、VN2はVDDの電圧まで上昇することになる。

この式(45)において、次式(46)による置き換えを行う。

$$【数46】 \Delta V = VDD \dots\dots (46)$$

$$\begin{aligned} 【数47】 VH - V_{th} + VDD \times CB / (CB + CS) \\ - VDD > V_{th} \end{aligned} \dots\dots (47)$$

その後の動作は実施例6に示した動作と同様であり、図11(b)に示すように、電圧レベル変換されたパルスが得られる。また、図11(a)に示す本実施形態では、図11(c)の如く、NMOS2のソース端子をVSSとすることも可能である。

【0112】実施例8、図12(a)は本発明による液晶表示装置に形成される電圧レベル変換器VLCの他の実施例を示す図で、図10(a)および図11(a)に対応した図となっている。図10(a)および図11(a)の構成と異なる部分は、n型のMOSトランジ

タNMOS1のゲート端子を一定電圧V_{B I A S}への直接の接続に代えて抵抗RSPを介しての接続とし、さらに、n型のMOSトランジスタNMOS1のゲート端子は入力パルスVINの入力端子と容量CSPによって容量結合されている構成となっている。

【0113】以下、上述した回路の動作を図12(b)を用いて説明する。時間t₁で、入力パルスVINが'L'から'H'へ変化したとき、この電圧変化が容量CSPによってノードN4に伝わる。この時、ノードN4すなわちNMOS1のゲートの変化電圧が、概ね、次式

(48) で与えられる。

【0114】

$$【数48】 \Delta V = VH \times CSP / (CSP + CS4) \dots\dots\dots (48)$$

ここで、CS4はノードN4に形成されている容量から前記容量CSPを除いた寄生容量分を表している。このため、ノードN4の電圧VN4は次式(49)となる。

【0115】

$$【数49】 VN4 = VBias + \Delta V \dots\dots\dots (49)$$

この後、VBiasより高い電圧分の電荷は抵抗RSPを通じてバイアス電圧VBias側にディスクレージされるが、その際の時定数は、概ね、次式(50)のよう

$$【数50】 \tau = RSP \times (CSP + CS4) \dots\dots\dots (50)$$

NMOS1がON状態となり、ノードN1の電圧VN1が上昇し、次式(51)の値となったところで、NMOS1はカットオフされてOFF状態となる。

【0117】

【数51】 VN4 - VN1 = Vth \dots\dots\dots (51)
ノードN1の電圧VN1が上式(51)の条件を満たすまでの時間をtcgとすると、この時のノードN4の電圧VN4は概ね次式(52)で与えられる。

$$【数52】 VN4 = VBias + \Delta V \times \exp(-tcg/\tau) \dots\dots\dots (52)$$

【0118】 いざれにせよ、VN4 > VBiasなので、上式(52)の値になるまでのNMOS1のゲート電圧はVBias = 1/2VDDとしても、実施例7に説明した場合よりも電流量が多い(ON抵抗が小さい)ため、ノードN1にチャージされる電荷が多く、したがって、ノードN2の電圧VN2の電圧は実施例7に説明

した式(42)のVN1よりも高くなる。さらに、上式(52)で与えられるVN4が、次式(53)を満たすように、CSP、RSPを設定すればVN1 = VHとすることができる。

【0119】

$$【数53】 VN4 = VBias + \Delta V \times \exp(-tcg/\tau) \geq Vth \dots\dots\dots (53)$$

簡単のため、VH1 = VHが満たされる条件で、かつtcgまでのNMOS3の電流によるノードN2の電圧上昇が無視できると仮定すると、その後は、NMOS3を通じてのノードN2へのチャージによるVN2の上昇分

$\Delta VN2$ により、次式(54)となり、実施例7で説明した式(44)と比較してVth分だけ電圧が高くなる。

【0120】

$$【数54】 VN1 = VH + \Delta VN2 \times CB / (CB + CS) \dots\dots\dots (54)$$

これは、NMOS3のゲート電圧が実施例7のそれより高いことを意味し、結果として、NMOS3を通じてノードN2をチャージする電流が多くなるため、VN2の上昇速度が上がることを意味する。したがって、より短時間でレベル変換できることになり、より高速のパルスに対応できることになる。

電圧レベル変換器は、出力MOS(n型のMOSトランジスタNMOS6)の実効ON抵抗を下げ、負荷回路充電速度を向上させることができるようになる。

【0121】 実施例9、図13(a)は本発明による液晶表示装置に形成される電圧レベル変換器の他の実施例を示す回路図である。同図(a)は、図11(a)に示す回路を2段に接続させ、前段のn型のMOSトランジスタNMOS1に対応する、後段のトランジスタ(図13(a))ではn型のMOSトランジスタNMOS4)のゲート端子を高電圧電源供給配線VDD側に接続させた構成となっている。ここで、CB1とCB2とは、図11(a)のCBに対応し、CS1とCS2とは、ノードN1とN2との寄生容量である。このように構成された

【0122】 図13(b)は上述した回路の動作を示すタイミングチャートを示し、また、図13(c)はノードN1、N2の電位変化を示し、図13(d)はノードN3、N4の電位変化を示している。時間tAで入力パルスVINが'L'から'H'になると、ノードN1が充電され始め、電位が上昇する。これによりノードN1の電圧VN1がNMOS3のVthまで上昇すると、NMOS3がON状態になり、ノードN2の電位VN2が上昇しはじめる。

【0123】 NMOS1はVN1 = VBias - Vthでターンオフし、入力パルスVINの入力端子との電気的接続が遮断される。この際のノードN2の電位VN2の電位をV1とする。上述の説明と同様、 $\Delta V1 = VB$

$I_{AS} - V_{th} - V_1$ とし、 $\Delta V_1 > V_{th}$ ならば、N MOS 3 は ON 状態を維持し、次式 (55) が満たされ

るなら、VN2 は VDD まで上昇する。
【0124】

$$\text{【数55】 } V_{BIAS} - V_{th} + (VDD - V_1) \times (C_{B1} / (C_{B1} + C_{S1})) - VDD \geq V_{th} \quad \dots \dots \quad (55)$$

この時の上昇速度に関する時定数は、概ね、次式 (56) で与えられる。

【0125】

$$\text{【数56】 } \tau(t) = R_{ON}(t) \times (NMOS3) \times (C_{B2} + C_{S2}) \quad \dots \dots \quad (56)$$

但し、 $R_{ON}(t)$ ($NMOS3$) は、 $NMOS3$ のオン抵抗を示す。ここで、時定数 τ は、 $NMOS3$ の実効電流値、すなわちそのオン抵抗 R_{ON} が時間とともに変化するので、時間の関数となる。時間 t_2 における NM

OS3 の電流 I_{ds} は、概ね、次式 (57) で与えられる。

【0126】

$$\text{【数57】 } I_{ds} = A \times (\Delta V_1 - V_{th}) \times (\Delta V_1 - V_{th}) \quad \dots \dots \quad (57)$$

ここで、A は MOS ランジスタの構造、寸法等で決まる定数を示す。オン抵抗 $R_{ON} \propto 1 / I_{ds}$ であるから、 ΔV_1 は上式 (56) の時定数を決める大きな因子であることが判る。すなわち、 ΔV_1 を大きくとればとるほど、 R_{ON} が小さくなり、時定数が減少し、負荷回路の上昇速度が速くなることになる。

変換を得ることができる。なお、図 14 (b) は上述した回路の動作を示すタイミングチャートを示し、また、図 14 (c) はノード N1、N2 の電位変化を示し、図 14 (d) はノード N3、N4 の電位変化を示している。

【0127】本実施例では、初段 ($NMOS1$ から $NMOS3$) で入力パルスの' H' を VDD で上昇させて、次段 ($NMOS4$ から $NMOS6$) までの入力にしている。 $NMOS4$ のゲートは VDD に接続されている。このため、 $NMOS4$ のターンオフ電圧は $VDD - V_{th}$ になる。 $NMOS6$ のソースは本回路の出力であり、負荷回路が接続されているため、初期の電位上昇は遅くなる。したがって、図 13 (d) に示す ΔV_2 は ΔV_1 よりも大きくなるよう設定することが容易である。このため、 R_{ON} が小さくなり、ノード N4 における電位 VN4 の上昇速度が速くなる。

【0128】実施例 10. 図 14 (a) は本発明による液晶表示装置に形成される電圧レベル変換器の他の実施例を示す図で、図 13 (a) に対応した図となっている。図 13 (a) の場合と異なる部分は、n 型の MOS ランジスタ $NMOS2$ のゲート端子と第 2 の端子との間に容量 C_P を介在させている構成となっている。この結合容量 C_P により入力パルス VIN が' H' から' L' に変化するとき、ノード N2 の電圧 VN2 は減少する。すなわち、 $NMOS3$ が ON 状態になったときの VN2 は VIN の' L' よりも低いので、ノード N1 における電位 VN1 が $XBIAS - V_{th}$ になり、 $NMOS1$ がターンオフするときの VN2 は実施例 9 の場合よりも低くなる。したがって、 ΔV_1 は実施例 9 の場合よりも大きくなり、結果として VN2 およびノード N4 における電位 VN4 の上昇速度が速くなり、立ち上がり時間が速くなる。このため、より高周波のパルスの電圧レベル

【0129】実施例 11. 図 15 (a) は本発明による

液晶表示装置に形成される電圧レベル変換器の他の実施

例を示す図で、図 14 (a) に対応した図となっている。

図 14 (a) の場合と異なる構成は、n 型の MOS

トランジスタ $NMOS1$ のゲート端子にも入力パルス VIN

を付加し、その第 2 端子を $NMOS1$ の第 2 の端子と容

量 C_{B1} の第 1 の端子との接続点に接続し、一方、その

第 1 の端子を入力パルス VIN 用入力端子に接続し、ま

たそのゲート端子に入力パルス VIN を反転した VIN_{invert}

が入力されている。このように構成した場合、実施例 10 に示した電圧レベル変換器と同様の効果が得られるとともに、実施例 10 に示した制御バイアス $XBIAS$ を用いなくて済むようになる。なお、図 15 (b) は、上述の回路の動作を示すタイミングチャートを示し、また、図 15 (c) はノード N1、N2 の電位変化を詳細に示し、図 15 (d) はノード N3 と N4 の電位変化を示している。

【0130】実施例 6 以降のものにあっては、回路を構成する薄膜トランジスタ TFT は全て n 型として説明したものである。しかし、p 型であってもよいことはいうまでもない。電圧の高低を逆にすることによって電圧レベル変換器として機能するとともに同様の効果を奏するからである。また、 VIN_{invert} が入力される実施例 7 以降のものに関しては、図 11 (c) に示す如く、 $NMOS2$ 或いは $NMOS5$ のソース端子を VSS に接続することも可能である。また、上述した実施例では、各電圧レベル変換器を構成するトランジスタはその

ゲート絶縁膜がたとえばSiO₂等からなるMOSトランジスタを用いたものである。しかし、ゲート絶縁膜をたとえばSiN等の絶縁膜からなるMISトランジスタであってもよいことはいうまでもない。なお、上記では、表示装置のうち、液晶表示装置を中心に記載してきたが、本発明は、液晶表示装置以外、有機EL等、アモルファスシリコンよりも電荷の移動度の高いポリシリコンや単結晶シリコンに近いシリコンによって周辺回路の薄膜トランジスタやダイオード等の素子が形成された表示装置全般に応用できることは言うまでもない。

【0131】

【発明の効果】以上説明したことから明らかなように、本発明による表示装置によれば、貫通電流が充分に抑制された電圧レベル変換器を備えたものを得ることができるものである。

【図面の簡単な説明】

【図1】本発明による表示装置に形成される電圧レベル変換器の一実施例を示す回路図とそのタイムチャートである。

【図2】本発明による表示装置の一実施例の全体の構成を示す等価回路図である。

【図3】本発明による表示装置に形成される電圧レベル変換器の他の実施例を示す回路図である。

【図4】本発明による表示装置に形成される電圧レベル変換器の他の実施例を示す回路図とそのタイムチャートである。

【図5】本発明による表示装置に形成される電圧レベル変換器の他の実施例を示す回路図である。

【図6】本発明による表示装置に形成される電圧レベル変換器の他の実施例を示す回路図である。

【図7】本発明による表示装置に形成される電圧レベル変換器の他の実施例を示す回路図とそのタイムチャートである。

である。

【図8】本発明による表示装置に形成される電圧レベル変換器の他の実施例を示す回路図である。

【図9】本発明による表示装置に形成される電圧レベル変換器の他の実施例を示す回路図である。

【図10】本発明による表示装置に形成される電圧レベル変換器の他の実施例を示す回路図とそのタイムチャートである。

【図11】本発明による表示装置に形成される電圧レベル変換器の他の実施例を示す回路図とそのタイムチャートである。

【図12】本発明による表示装置に形成される電圧レベル変換器の他の実施例を示す回路図とそのタイムチャートである。

【図13】本発明による表示装置に形成される電圧レベル変換器の他の実施例を示す回路図とそのタイムチャートである。

【図14】本発明による表示装置に形成される電圧レベル変換器の他の実施例を示す回路図とそのタイムチャートである。

【図15】本発明による表示装置に形成される電圧レベル変換器の他の実施例を示す回路図とそのタイムチャートである。

【図16】従来による一般的な電圧レベル変換器の一例を示した回路図である。

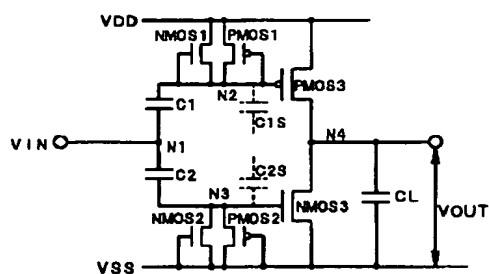
【図17】従来による一般的な電圧レベル変換器の他の例を示した回路図である。

【符号の説明】

NMOS…n型のMOSトランジスタ、PMOS…p型のMOSトランジスタ、VLC…電圧レベル変換器、GL…ゲート信号線、DL…ドレイン信号線、SUB1…透明基板、TFT…薄膜トランジスタ、PX…画素電極。

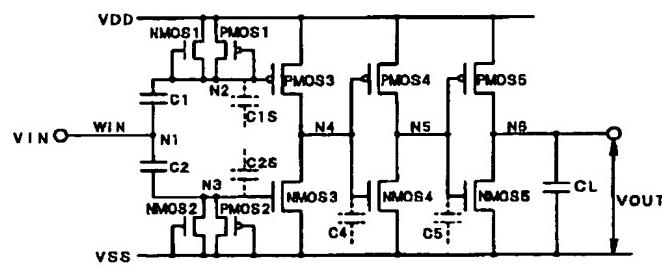
【図3】

図3



【図5】

図5



【図1】

図1(a)

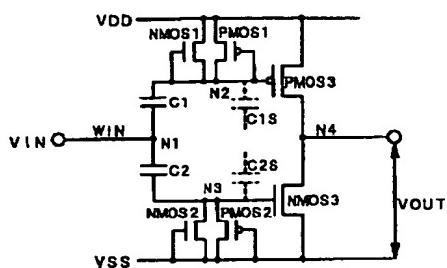
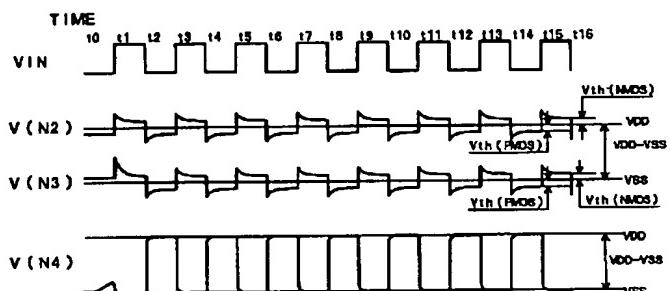
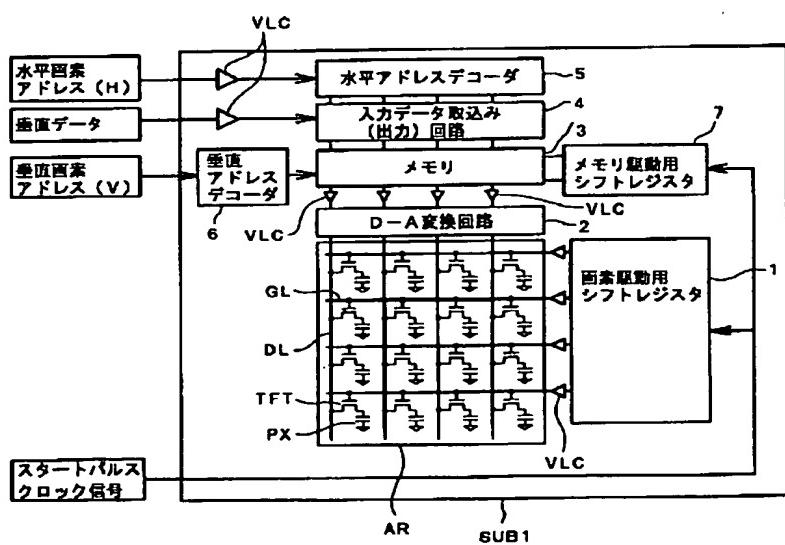


図1(b)



【図2】

図2



【図9】

図9(a)

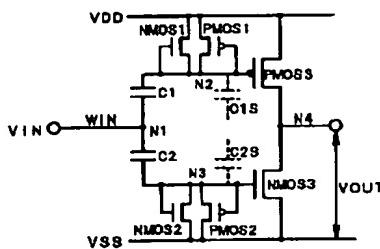


図9(b)

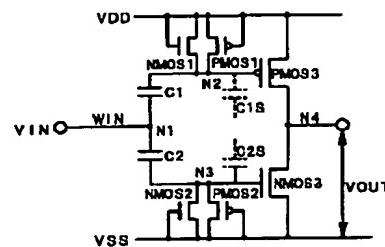
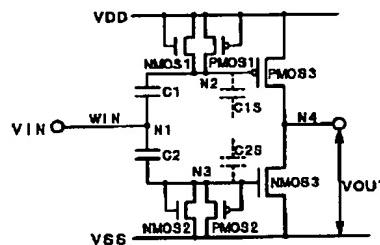
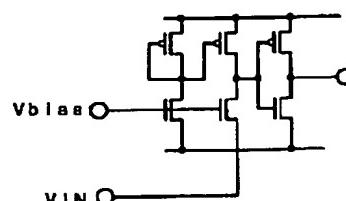


図9(c)



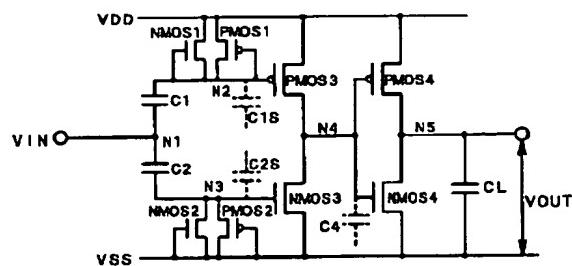
【図17】

図17



【図4】

図4(a)



【図10】

図10(a)

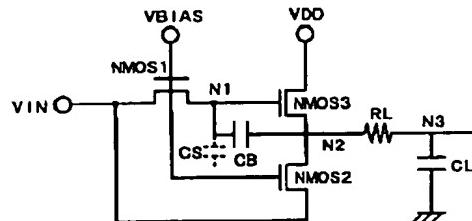


図4(b)

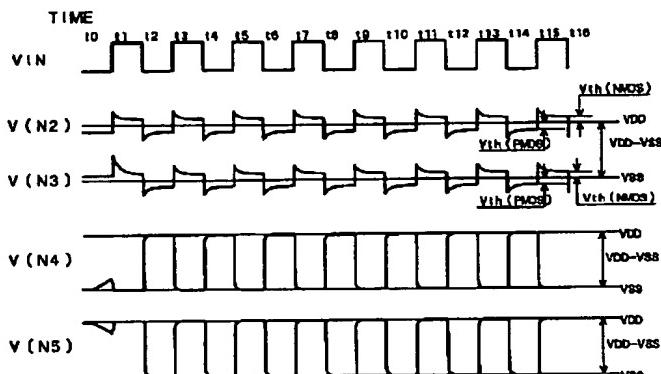
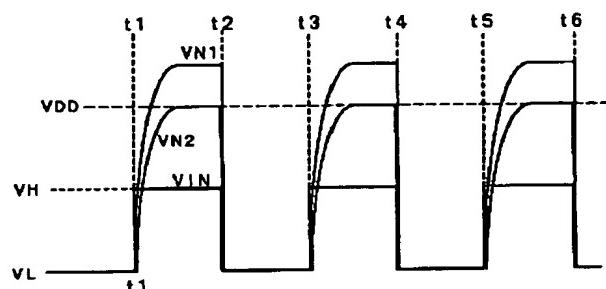
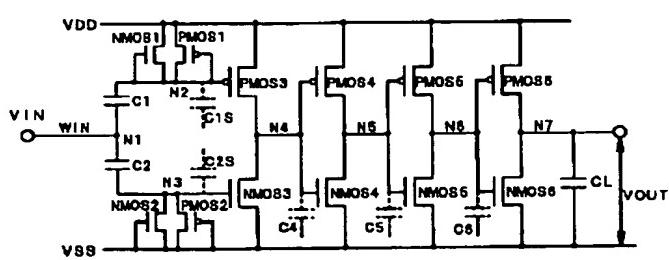


図10(b)

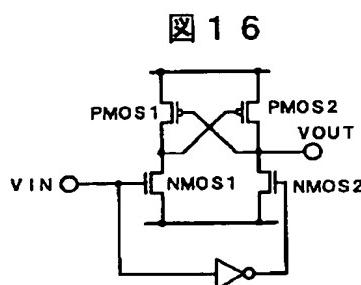


【図6】

図6



【図16】



【図7】

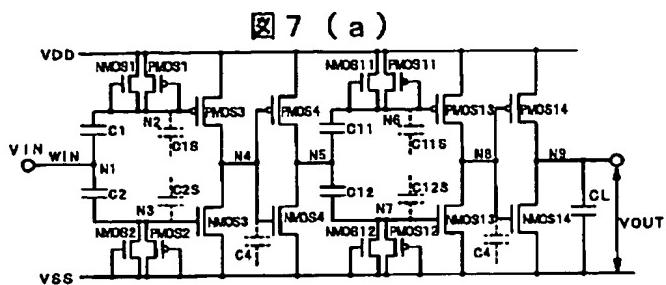
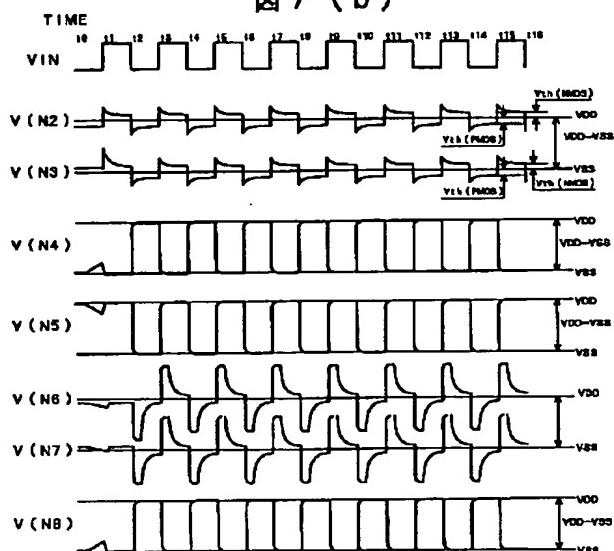


図7 (b)



【図11】

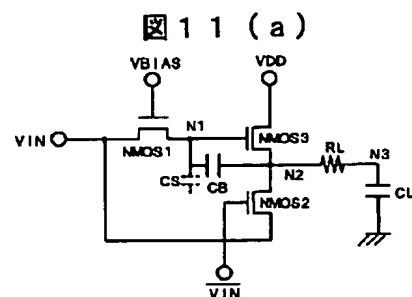


図11 (b)

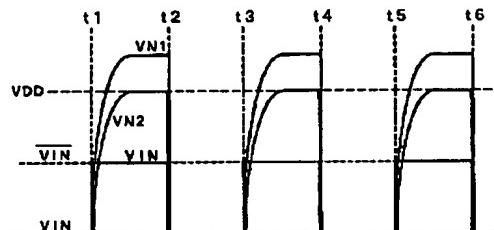
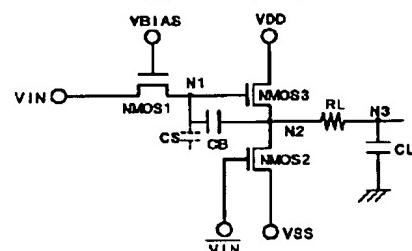


図11 (c)



【図8】

図8(a)

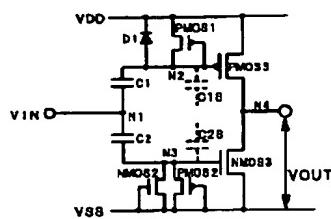


図8(b)

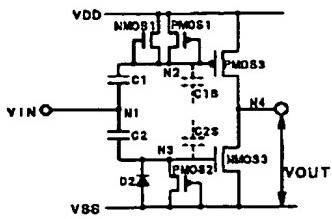


図8(c)

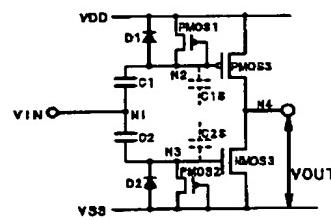
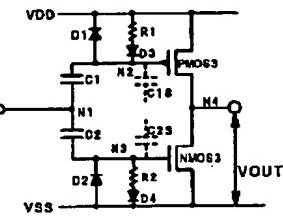


図8(d)



【図12】

図12(a)

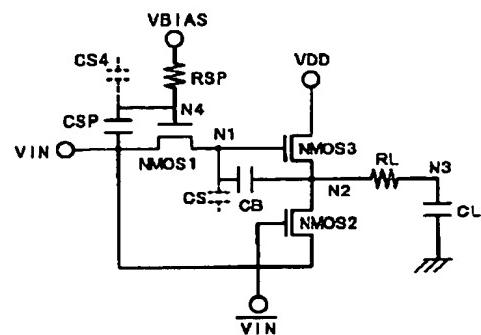
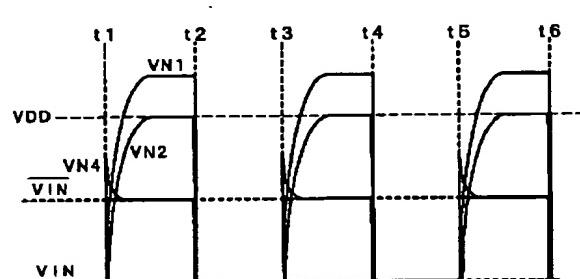


図12(b)



【図13】

図13(a)

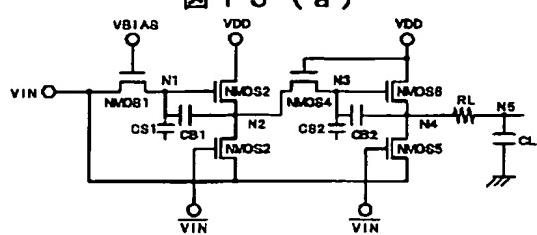


図13(b)

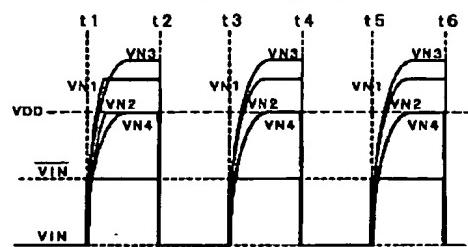


図13(c)

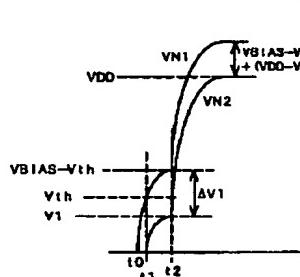
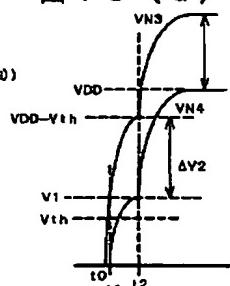


図13(d)



【図14】

図14(a)

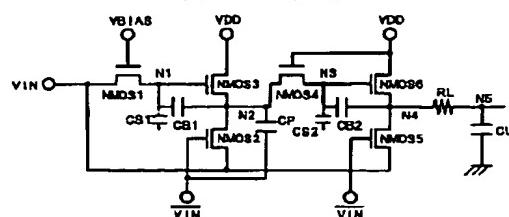


図14(b)

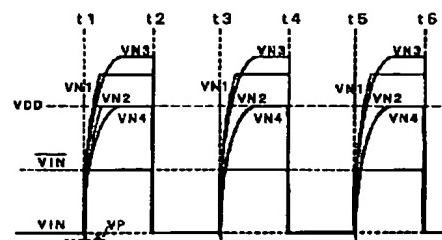


図14(c)

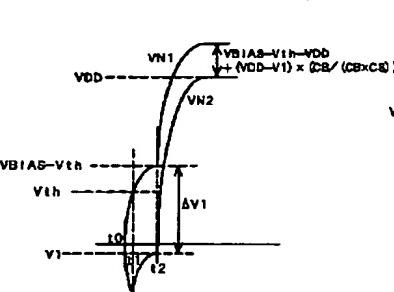
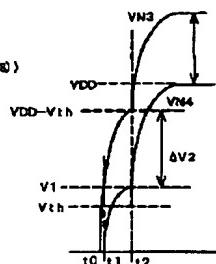


図14(d)



【図15】

図15(a)

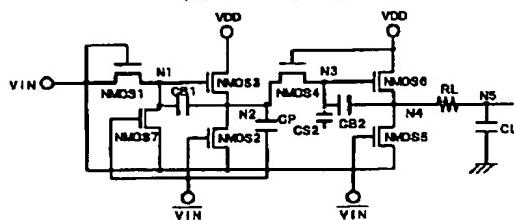


図15(b)

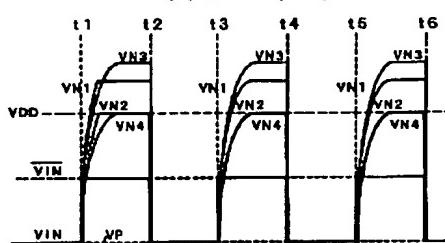


図15(c)

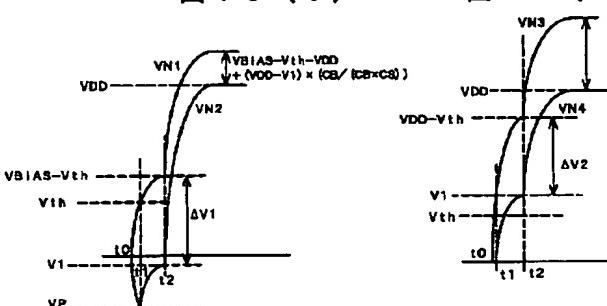
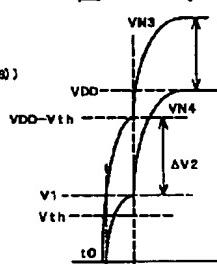


図15(d)



フロントページの続き

(51) Int. Cl. 7	識別記号	F I	テーマコード(参考)
H 0 3 K 17/687		H 0 3 K 19/00	1 0 1 D
19/0185		17/687	F
(72) 発明者 佐藤 秀夫	千葉県茂原市早野3300番地 株式会社日立 製作所ディスプレイグループ内	F ターム(参考) 2H093 NA16 NC05 NC34 NC62 ND60 5C006 BB16 BC20 BF34 BF46 EB05 FA47	
(72) 発明者 佐藤 友彦	千葉県茂原市早野3300番地 株式会社日立 製作所ディスプレイグループ内	5C080 AA10 BB05 DD25 DD26 FF11 JJ02 JJ03 JJ04	
(72) 発明者 槙 正博	千葉県茂原市早野3681番地 日立デバイス エンジニアリング株式会社内	5J055 AX27 BX16 CX30 DX22 EX07 EY10 EY21 EZ20 FX12 FX27 GX01	
		5J056 AA05 AA32 BB19 CC21 DD13 DD29 DD51 DD52 DD55 EE11 FF08	